

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



12

EUROPÄISCHE PATENTANMELDUNG

② Anmeldenummer: 94116892.4

⑤1 Int. Cl.⁶: H01L 21/306, H01L 21/308

22 Anmeldetag: 26.10.94

③ Priorität: 15.12.93 DE 4342767

(43) Veröffentlichungstag der Anmeldung:
21.06.95 Patentblatt 95/25

⑧4 Benannte Vertragsstaaten:
DE ES FR GB IT NL

⑦ Anmelder: **ANT Nachrichtentechnik GmbH**
Gerberstrasse 33
D-71522 Backnang (DE)

**(72) Erfinder: Kuke, Albrecht, Dr.
Nelkenweg 2
D-71549 Auenwald (DE)**

54 Verfahren zur Herstellung einer quaderförmigen Vertiefung zur Aufnahme eines Bauelementes in einer Trägerplatte.

57) Bei einem Verfahren zur Herstellung einer quaderförmigen Vertiefung zur Aufnahme eines Bauelementes in einer Trägerplatte wird auf einer Siliziumscheibe (1), deren Oberfläche in der (100)-Ebene liegt, eine Maske mit mindestens einem rechteckigen Fenster (3, 3') angeordnet, wobei die Seiten des

Fensters (3, 3') parallel zu <100>-Richtungen ausgerichtet werden und die Seitenlängen um einen vorgegebenen Wert kleiner als die vorgesehenen Kantenlängen der Vertiefung (2, 2') sind. Es erfolgt eine anisotrope Ätzung, bis die Kanten der Vertiefung (2, 2') die vorgegebene Länge erreichen.

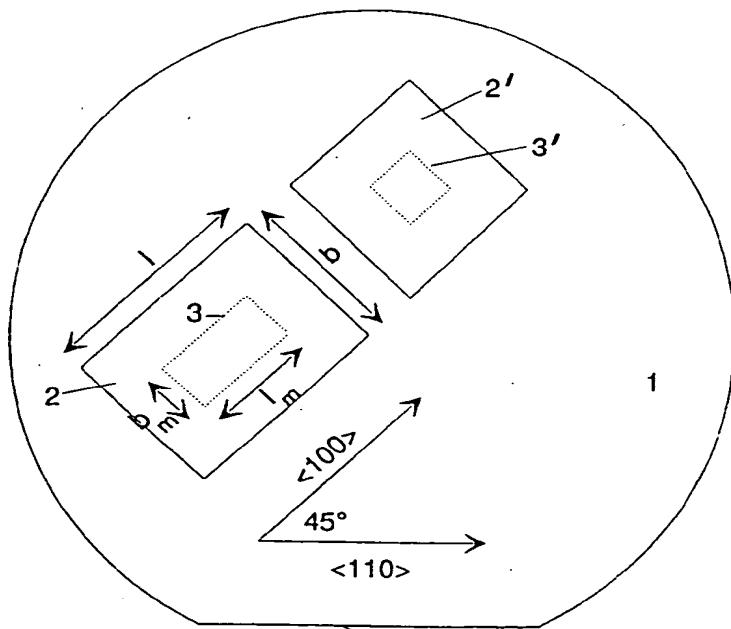


Fig. 1

Interpretation
M.R.E.P § 2(1)

Die Erfindung betrifft ein Verfahren zur Herstellung einer quaderförmigen Vertiefung zur Aufnahme eines Bauelementes in einer Trägerplatte.

Zur Verringerung der Montagekosten, zur Erhöhung der Zuverlässigkeit sowie zur Verringerung der Leitungsinduktivitäten werden bei der sogenannten Multi-Chip-Modul-Technik (MCM) mehrere ungehäusete Halbleiter-Bauelemente gemeinsam auf einen Träger montiert. Dabei ist eine elektrische Verbindung der Bauelemente oberhalb der Ebene der Bauelementen-Oberflächen durch elektrische Leiterbahnen vorteilhaft. Hierzu ist es erforderlich, entweder den Raum zwischen den Bauelementen mit Isoliermaterial bis zur Höhe der Bauelementen-Oberfläche aufzufüllen oder die Bauelemente in Vertiefungen der Trägerplatte soweit zu versenken, daß ihre Oberflächen genau in der Ebene der Trägerplatte zu liegen kommen. Dann läßt sich in dieser Ebene eine Schicht aus Isoliermaterial, beispielsweise Polyimid, aufbringen, welche die Leiterbahnen trägt, wobei die Fläche der darunterliegenden Bauelemente mitverwendet werden kann.

Aufgabe der vorliegenden Erfindung ist es, quaderförmige Vertiefungen zur Aufnahme von Bauelementen in Trägerplatten herzustellen, die bezüglich ihrer lateralen und vertikalen Dimension exakt an die aufzunehmenden Bauelemente angepaßt sind.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß auf einer Siliziumscheibe, deren Oberfläche in der (100)-Ebene liegt, eine Maske mit mindestens einem rechteckigen Fenster angeordnet wird, wobei die Seiten des Fensters parallel zu <100>-Richtungen ausgerichtet werden und die Seitenlängen um einen vorgegebenen Wert kleiner als die vorgesehenen Kantenlängen der Vertiefung sind, und daß eine anisotrope Ätzung erfolgt, bis die Kanten der Vertiefung die vorgegebene Länge erreichen. Vorzugsweise ist bei dem erfindungsgemäß Verfahren vorgesehen, daß der vorgegebene Wert dem Doppelten der vorgesehenen Tiefe der Vertiefung entspricht.

Ein Vorteil des erfindungsgemäß Verfahrens besteht darin, daß die vorgesehenen Maße der Vertiefung sehr genau erreicht werden können. Ferner sind die Wände der Vertiefung senkrecht, so daß zwischen dem Bauelement und der Wand der Vertiefung kein prismatischer Spalt verbleibt, der die Aufbringung einer Trägerschicht für die Leiterbahnen erschwert oder gar unmöglich macht.

Schließlich zeichnet sich die Trägerplatte aus Silizium durch eine hohe Ebenheit, eine Preiswürdigkeit und dadurch aus, daß sie im Übrigen mit Mitteln der integrierten Schaltungstechnik bearbeitet werden kann.

Bei den üblicherweise zur Herstellung von integrierten Schaltungen verwendeten Siliziumscheiben liegt deren Oberfläche bereits in der (100)-Ebene.

Gemäß einer vorteilhaften Ausführungsform der Erfindung ist dann vorgesehen, daß zwei Seiten des Fensters einen Winkel von 45° mit einer Abflachung der Siliziumscheibe bilden, dem sogenannten Flat, der die <110>-Richtungen kennzeichnet.

Ausführungsbeispiele der Erfindung sind in der Zeichnung anhand mehrerer Figuren dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigt:

Fig. 1 eine schematische Darstellung einer Siliziumscheibe mit Masken-Fenstern und Vertiefungen und

Fig. 2 einen Schnitt durch einen Teil der Siliziumscheibe mit einer erfindungsgemäß hergestellten Vertiefung und einem Bauelement, das mit Leiterbahnen verbunden ist, die über der Trägerplatte und über dem Bauelement liegen.

Bei dem erfindungsgemäß Verfahren wird von einer Siliziumscheibe (Wafer) ausgegangen, deren Oberfläche in der (100)-Ebene liegt. Das Fenster der Maske zur Erzeugung der Vertiefung wird jedoch nicht, wie sonst üblich, mit den Rändern parallel zu der <110>-Richtung ausgerichtet, die üblicherweise durch eine Abflachung (Flat) am Rand des Wafers gekennzeichnet ist, sondern unter 45° zu dieser gekennzeichneten Richtung. Dieses ist eine <100>-Richtung. Im Unterschied zur anisotropen Ätzung mit Masken, deren Fensterränder parallel zur <110>-Richtung ausgerichtet sind, erhält man hierbei keine Selbststopfung des Ätzvorganges beim Erreichen einer schwer ätzenden (111)-Ebene. Der Ätzprozeß läuft vielmehr unbegrenzt weiter.

Die anisotrope Ätzung des Siliziums beruht auf der Abhängigkeit der Ätzgeschwindigkeit von der kristallografischen Richtung. In <111>-Richtung ist die Ätzgeschwindigkeit etwa um den Faktor 100 geringer als in der <133>-Richtung, in der die maximale Ätzgeschwindigkeit erreicht wird. Daneben gibt es aber noch ein Nebenminimum in der Ätzgeschwindigkeit, das in der <100>-Richtung liegt. Dieses <100>-Nebenminimum ist aber bei weitem nicht so ausgeprägt wie das Hauptminimum in <111>-Richtung. Die Ätzgeschwindigkeit verringert sich in <100>-Richtung nur auf etwa 75% ihres Maximalwertes in <133>-Richtung. Obwohl der Ätzprozeß an einer (100)-Ebene nicht zum Stehen kommt, führt doch die Verringerung der Ätzgeschwindigkeit im Nebenminimum dazu, daß während des Ätzprozesses alle (100)-Ebenen als sehr glatte Flächen herausgebildet werden. Dabei werden die Seitenwände gegenüber den Maskenrändern um den gleichen Betrag zurückversetzt, wie die Ätzung in die Tiefe fortschreitet. Diese Erkenntnis liegt der Erfindung zugrunde.

Sind l_m und b_m die Länge und Breite des Maskenfensters auf der Waferoberfläche, so erhält man eine quaderförmige Vertiefung der Länge l , Breite b und Tiefe t mit

$$l = l_m + 2t \quad (1)$$

$$b = b_m + 2t \quad (2)$$

Die Tiefe t , die gleich der Unterätzung ist, ergibt sich aus der Ätzdauer d und der Ätzgeschwindigkeit v zu

$$t = v \cdot d \quad (3)$$

Durch Vorgabe der Größe der Vertiefung l , b und t bei bekannter Ätzgeschwindigkeit lässt sich die benötigte Größe des Maskenfensters bestimmen.

Der in Fig. 1 dargestellte Wafer 1 aus Silizium soll mit Hilfe des erfindungsgemäßen Verfahrens mit Vertiefungen 2, 2' versehen werden. Dazu wird zunächst die Maske mit den gestrichelt dargestellten rechteckigen Fenstern 3, 3' aufgebracht. Das Fenster 3 hat beispielsweise die Abmessungen l_m und b_m . Dadurch, daß die Ätzung nicht nur senkrecht zur Oberfläche des Wafers 1, sondern auch parallel dazu fortschreitet, ergeben sich dann die Abmessungen l und b für die Vertiefung 2. Der zu Zwecken der Ausrichtung an jedem Wafer vorgesehene Flat 4 befindet sich in der <100>-Richtung, welche zur <110>-Richtung und damit zur Richtung der jeweiligen Kanten der Vertiefungen 2, 2' einen Winkel von 45° bildet.

Bei dem in Fig. 2 dargestellten fertig montierten Ausführungsbeispiel ist in dem aus dem Wafer 1 (Fig. 1) hergestellten Träger 1' die Vertiefung 2 mit der Tiefe t eingeätzt. In diese Vertiefung ist ein Bauelement (Halbleiter-Chip) 5 eingesetzt und am Boden 6 der Vertiefung auf bekannte Weise durch Löten oder Kleben befestigt. Die Seitenwände 7 der Vertiefung 2 bilden mit den Seitenwänden 8 des Bauelementes 5 einen sehr schmalen und parallelen Spalt, der vorzugsweise mit einem wärmeleitenden Kleber ausgefüllt sein kann. Auf die Oberfläche des Trägers 1' und des Bauelementes 5 wird eine isolierende Trägerschicht 10 aufgebracht, die die Leiterbahnen 11 trägt. Diese sind über Durchkontaktierungen 12 mit den Anschlußflächen des Bauelementes 5 verbunden.

Patentansprüche

1. Verfahren zur Herstellung einer quaderförmigen Vertiefung zur Aufnahme eines Bauelementes in einer Trägerplatte, dadurch gekennzeichnet, daß auf einer Siliziumscheibe (1), deren Oberfläche in der (100)-Ebene liegt, eine Maske mit mindestens einem rechteckigen

Fenster (3, 3') angeordnet wird, wobei die Seiten des Fensters parallel zu <100>-Richtungen ausgerichtet werden und die Seitenlängen um einen vorgegebenen Wert kleiner als die vorgesehenen Kantenlängen der Vertiefung (2, 2') sind, und daß eine anisotrope Ätzung erfolgt, bis die Kanten der Vertiefung (2, 2') die vorgegebene Länge erreichen.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der vorgegebene Wert dem Doppelten der vorgesehenen Tiefe der Vertiefung entspricht.
3. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zwei Seiten des Fensters einen Winkel von 45° mit einer Abflachung der Siliziumscheibe bilden.

20

25

30

35

40

45

50

55

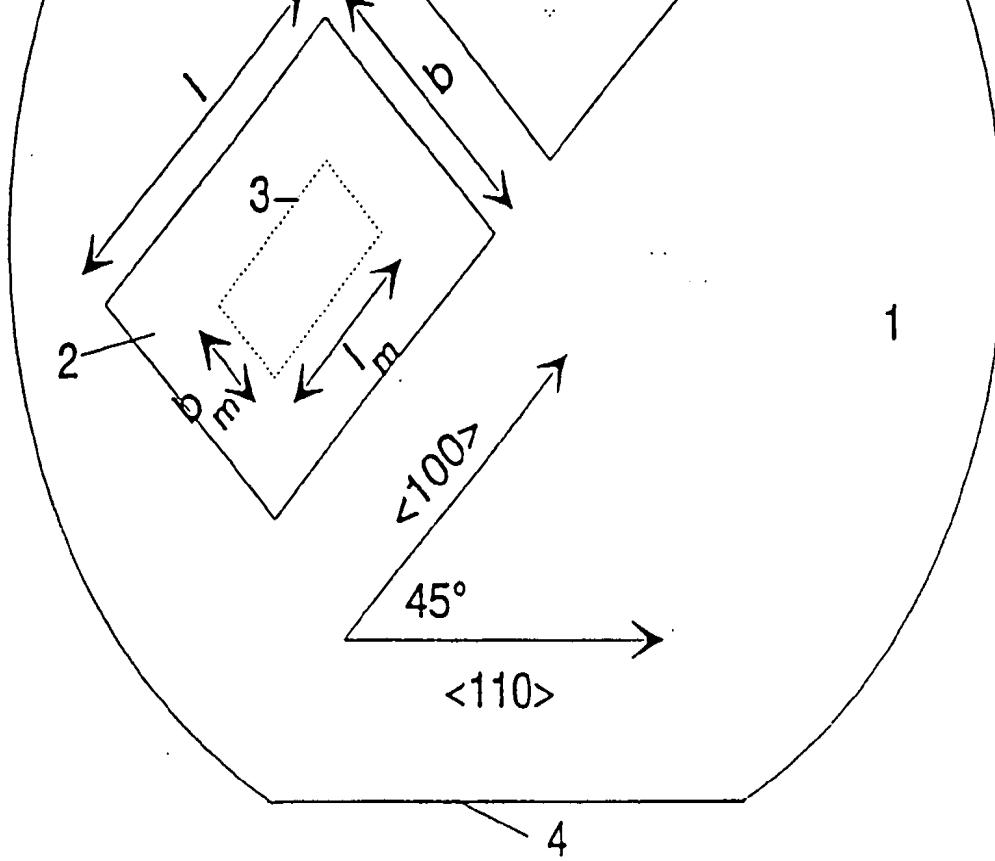


Fig. 1

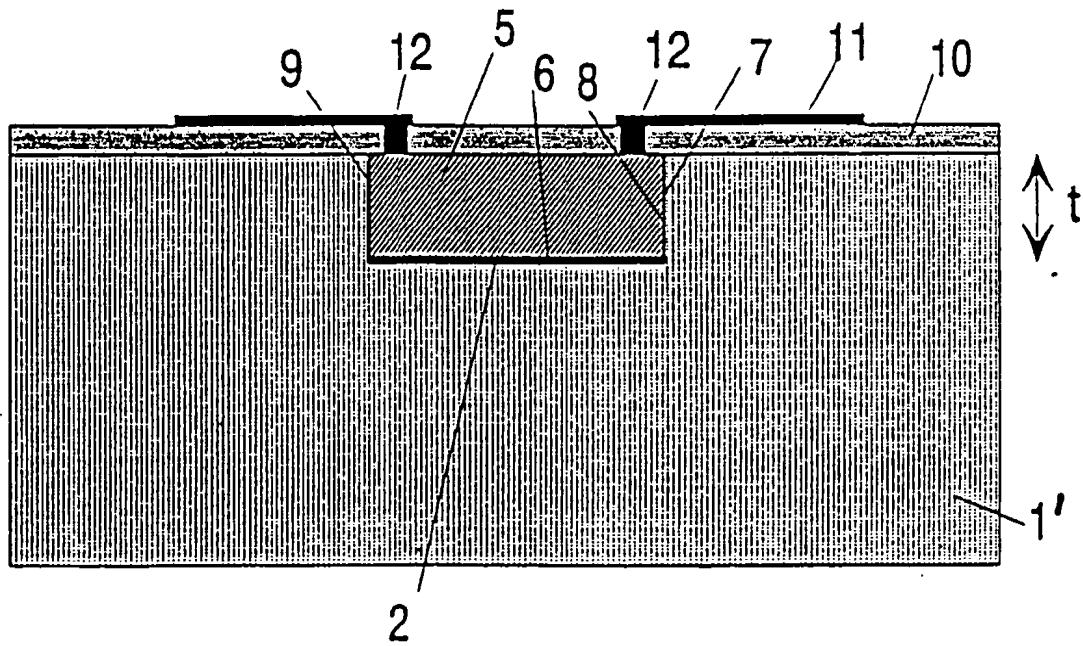


Fig. 2



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 94 11 6892

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betritt Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
X	DE-A-28 45 062 (HITACHI LTD) * Seite 12, Zeile 22 - Seite 13, Zeile 27 * * Seite 21, Zeile 1 - Zeile 19; Abbildungen 9A, 9B * * Seite 22, Zeile 33 - Seite 24, Zeile 5; Abbildungen 10, 11A-11C * --- US-A-4 969 359 (MATI MIKKOR) * Spalte 5, Zeile 19 - Zeile 24 * * Spalte 5, Zeile 50 - Spalte 6, Zeile 37; Abbildungen 1-4B *	1-3	H01L21/306 H01L21/308
X		1,2	
A	US-A-4 866 501 (DANIEL J. SHANEFIELD) * Spalte 1, Zeile 31 - Zeile 43 * * Spalte 1, Zeile 51 - Zeile 66; Abbildung 1 *	1	
A	PROCEEDINGS IEEE MICRO ELECTRO MECHANICAL SYSTEMS, 30. Januar 1991, NARA, JAPAN Seiten 216 - 220 AKIRA KOIDE ET AL. 'Simulation of two-dimensional etch profile of silicon during orientation-dependent anisotropic etching' * Seite 219, Absatz 4.1; Abbildung 6; Tabelle 2 * * Seite 22, Absatz 5 *	1-3	
A	PATENT ABSTRACTS OF JAPAN vol. 8, no. 88 (E-240) 21. April 1984 & JP-A-59 008 375 (MATSHITA DENSHI KOGYO K.K.) 17. Januar 1984 * Zusammenfassung *	1,3 -/-	H01L H05K
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Rechercheort BERLIN	Abschlußdatum der Recherche 7. April 1995	Prüfer Klopfenstein, P	
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmelddatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anders Gründen angeführtes Dokument A : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche offenbarung P : Zwischenliteratur			



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 94 11 6892

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betreff Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 683 (E-1477) 15. Dezember 1993 & JP-A-05 234 901 (KOMATSU LTD.) 10. September 1993 * Zusammenfassung * ---	1	
A	EP-A-0 288 052 (SUMITOMO ELECTRIC IND. LTD.) * Spalte 4, Zeile 37 - Spalte 5, Zeile 48; Abbildungen 2A-2E *	1	
A	US-A-5 063 177 (BERNARD D. GELLER ET AL.) * Spalte 2, Zeile 16 - Zeile 31 * * Spalte 3, Zeile 17 - Zeile 32; Abbildung 1 * * Spalte 4, Zeile 40 - Zeile 65 * -----	1	
RECHERCHIERTE SACHGEBIETE (Int.Cl.6)			
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchort	Abschlußdatum der Recherche	Prüfer	
BERLIN	7. April 1995	Klopfenstein, P	
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldeatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderem Grunde angeführtes Dokument A : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			

Process for forming a parallel pipe-shaped cavity for receiving a component in a support plate.

Octrooinummer: EP0658927
Publicatiedatum: 1995-06-21
Uitvinder: KUKE ALBRECHT DR (DE)
Aanvrager:: ANT NACHRICHTENTECH (DE)
Aangevraagd Octrooi: EP0658927
Aanvraagnummer: EP19940116892 19941026
Prioriteitsnummer: DE19934342767 19931215
IPC Classificatie: H01L21/306 ; H01L21/308
EC Classificatie: H01L21/48B, H01L23/13, H01L23/14S, H01L21/308D
Equivalenten: DE4342767

Samenvatting

In the case of a method for producing a parallelepipedal indentation for holding a component in a support plate, a mask having at least one rectangular window (3, 3') is arranged on a silicon wafer (1) whose surface lies in the (100) plane, the sides of the window (3, 3') being aligned parallel to <100> directions and the side lengths being a predetermined value smaller than the intended edge lengths of the indentation (2, 2').

Anisotropic etching is carried out until the edges of the indentation (2, 2') reach the predetermined length.

Gegevens geleverd door esp@cenet - I2

THIS PAGE BLANK (USPTO)

Translation German to English from patent application EP658927

PROCESS FOR FORMING A PARALLEL PIPE-SHAPED CAVITY FOR RECEIVING A COMPONENT IN A SUPPORTPLATE.

DESCRIPTION

The invention concerns a procedure for the production of a quaderfoermigen recess for the accommodation of an element in a mother board.

For the decrease of assembly costs, for the increased reliability as well as for the decrease of line inductances with the so-called multi-chip module technique (MCM) several unpackaged semiconductor components are installed together onto a carrier. An electrical connection of the elements is favourable above the level of the element surfaces by electrical conductive strips. For this it is necessary to fill up either the space between the elements with insulating material up to the height of the element surface or to sink the elements in recesses of the mother board so far that its surfaces come to be situated exactly in the level of the mother board. Then leaves themselves in this level a layer from insulating material, for example to Polyimid, apply, which carries the conductive strips, whereby the surface of the underlying elements can be along-used.

Function of the available invention is it to manufacture quaderfoermige recesses for the accommodation of elements in mother boards which are accurately adapted to the elements which can be taken up concerning their lateral and vertical dimension.

This function is solved according to invention by the fact that on a silicon wafer, whose surface in (100)-Ebene is situated, a mask with at least a rectangular window is arranged, whereby the pages of the window are aligned parallel too <100>-Richtungen and the side lengths are smaller around a given value than the edge lengths intended of the recess, and that an anisotropic corrosion takes place, until the edges of the recess achieve the given length. Preferably it is intended with the procedure according to invention that the given value corresponds to the double depth intended of the recess.

Anadvantage of the procedure according to invention consists of the fact that the mass intended of the recess can be achieved very exactly. Furthermore the walls of the recess are perpendicular, so that between the element and the wall no prismatischer gap remains to the recess, which makes more difficult or makes applying a carrier layer for the conductive strips impossible. Finally the mother board from silicon is characterised a price worthyness by a high parallelism, and by it that it can in all other respects be processed with means of the integrated circuit technology.

With the silicon wafers usually used for the production of integrated circuits their surface is already situated in (100)-Ebene. in accordance with a favourable execution form of the invention is then intended that two pages of the window form an angle of 45 DEG with a flattening of the silicon wafer, the so-called Flat, which indicates the <110>-Richtungen.

THIS PAGE BLANK (USPTO)

Remark examples of the invention are represented and in the following description more near described in the drawing on the basis several figures. It shows: Fig. 1 a schematic representation of a silicon wafer with mask windows and recesses and Fig. 2 a cut by a part of the silicon wafer with according to invention manufactured a recess and an element, which are connected with conductive strips, which are situated over the mother board and over the element.

With the procedure according to invention from a silicon wafer (wafer) one proceeds, whose surface in (100)-Ebene is situated. The window of the mask for production the recess however not, as otherwise usually, with the edges parallel to the <110>-Richtung aligned, which usually by a flattening (Flat) in the edge of the wafer is characterized, but under 45 DEG to this characterized direction. This is one < 100>-Richtung. In contrast to the anisotropic corrosion with masks, whose edges of window are aligned parallel to < the 110>-Richtung, one receives here no self stopping of the etching procedure with achieving a heavily corroding (111)-Ebene. the etching process continues rather for an unlimited period.

The anisotropic corrosion of the silicon is based on the dependency of the etching rate on the kristallografischen direction. In <111>-Richtung the etching rate is approximately smaller around the factor 100 than in < the 133>-Richtung, in which the max. etching rate is achieved. Besides gives it however still another Nebenminimum in the etching rate, which is situated in the <100>-Richtung. This < 100> Nebenminimum is by far not as pronounced however as the main minimum in < 111>-Richtung. The etching rate is reduced in < 100>-Richtung only to approximately 75% of its maximum value in < 133>-Richtung. Although the etching process at one (100)-Ebene not for being comes, leads nevertheless the decrease of the etching rate in the Nebenminimum to the fact that during the etching process everything (100)-Ebenen as very smooth surfaces to be developed. The side panels are carried back opposite the mask edges around the same amount, as the corrosion progresses into the depth. This realization is the basis the invention.

If l_m is and b_m the length and width of the mask window on the wafer surface, then one receives a quaderfoermige recess of the length l , width b and depth t also $l = l_m + 2*t$ (1) $b = b_m + 2*t$ (2) The depth t , which is equal to the underetching, results from the etching time d and the etching rate v too $t = *d$ (3) By specification of the size of the recess l , b and t with well-known etching rate can the necessary size of the mask window be determined.

The wafer 1 from silicon, represented in Fig. 1, is to be provided with the help of the procedure according to invention with recesses 2, 2'. In addition first the mask with dashed the represented rectangular windows 3, 3 is applied'. The window 3 has for example the dimensions l_m and b_m . Because the corrosion progresses not only perpendicularly to the surface of the wafer 1, but also parallel to it, arises then the dimensions l and b for the recess 2. The Flat 4 designated for purposes of the adjustment at each wafer is in < the 100>-Richtung, which form an angle of 45 DEG to the <110>-Richtung and thus for the direction of the respective edges of the recesses 2, 2'.

THIS PAGE BLANK (USPTO)

With the completely installed remark example represented in Fig. 2 ' the recess 2 etched in with the depth t is in the carrier 1 made of the wafer 1 (Fig. 1). Into this recess an element (semiconductor chip) is used and fastened to the soil 6 of the recess in well-known way by soldering or sticking 5. The side panels 7 of the recess 2 form a very narrow and parallel gap, which can be preferably filled out with a heat conducting adhesive with the side panels 8 of the element 5. On the surface of the carrier 1 ' and the element 5 an isolating carrier layer 10 is applied, which carries the conductive strips 11. These are connected by plated-through holes 12 with the mating surfaces of the element 5.

CLAIMS

1. Procedure for the production of a quaderfoermigen recess for the accommodation of an element in a mother board, by the fact characterized that on a silicon wafer (1), whose surface in (100)-Ebene is appropriate, a mask with at least for a rectangular window (3, 3 ') is arranged, whereby the pages of the window are aligned parallel too < 100>-Richtungen and the side lengths are smaller around a given value than the edge lengths intended of the recess (2, 2 '), and that an anisotropic corrosion takes place, until the edges of the recess (2, 2 ') chieve the given length.
2. Procedure according to requirement 1, by the fact characterized that the given value corresponds to the double depth intended of the recess.
3. Procedure after one of the preceding requirements, by the fact characterized that two pages of the window form an angle of 45 DEG with a flattening of the silicon wafer.

THIS PAGE BLANK (USPTO)